

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY.**

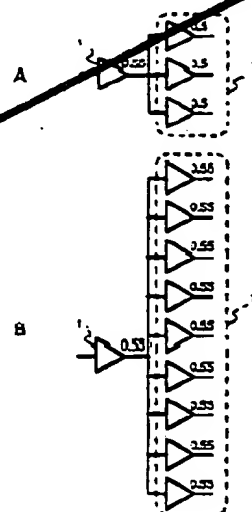
As rescanning documents *will not* correct images,  
Please do not report the images to the  
Image Problem Mailbox.

**(54) SEMICONDUCTOR DEVICE**

(11) 6-151735 (A) (43) 31.5.1994 (19) JP  
 (21) Appl. No. 4-295400 (22) 4.11.1992  
 (71) SHARP CORP (72) YASUSHI KUBOTA  
 (51) Int. Cl.<sup>5</sup> H01L27/088, H03K19/0944

**PURPOSE:** To obtain a semiconductor device which can be lessened in power consumption and chip area and enhanced reliability by a method wherein transistors composing the semiconductor device are determined in channel length taking the size of electrical stress applied onto each transistor into consideration.

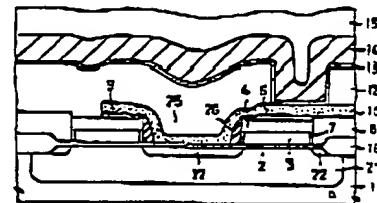
**CONSTITUTION:** A semiconductor device is composed of circuit units formed of a first gate and a second gate group, the output of the first gate is inputted into one or more gates of the second gate group, and when the ratio of the drive capacity of the first gate output to the sum of the input capacitance of the second gates is less than a prescribed value, the input transistors of the second gate group are set smaller in channel length than other transistors located in circuit units.

**(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF**

(11) 6-151736 (A) (43) 31.5.1994 (19) JP  
 (21) Appl. No. 4-322305 (22) 9.11.1992  
 (71) TOSHIBA CORP (72) KAZUNARI ISHIMARU  
 (51) Int. Cl.<sup>5</sup> H01L27/088

**PURPOSE:** To provide a gate electrode stable in characteristics and to form a self-aligned contact (SAC) without overetching an insulating film which covers the gate electrode when the contact is bored.

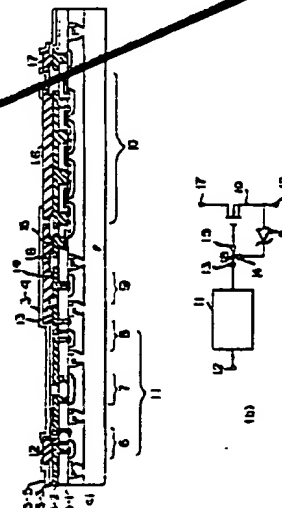
**CONSTITUTION:** A polysilicon wiring 10 is formed on a semiconductor substrate 1, wherein a polysilicon film 5 is formed on a part of the polysilicon wiring 10 located on a gate electrode 3 to make the wiring 10 thick. Therefore, the gate electrode 3 is prevented from being doped with impurities injected into the wiring 10. When a gate SAC is formed on the semiconductor substrate 1 provided with a polysilicon gate, the polysilicon film 5 is formed on the insulating film 4 provided onto the gate electrode 3, whereby the insulating film 4 is prevented from being overetched.

**(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

(11) 6-151737 (A) (43) 31.5.1994 (19) JP  
 (21) Appl. No. 4-293254 (22) 30.10.1992  
 (71) TOSHIBA CORP (72) KOICHI KITAHARA(2)  
 (51) Int. Cl.<sup>5</sup> H01L27/088, H01L21/56, H01L27/04

**PURPOSE:** To provide a method of manufacturing a semiconductor device which is enhanced in reliability by evaluating enough a power element and a circuit element block that controls the output element.

**CONSTITUTION:** A power output element 10 and a circuit element block 11 are separated and connected together, a prescribed electrode of the power output element 10 and one end of a surge protection element 9 are connected, a first, a second, and a third electrode wiring, 13 to 15, are provided to the output, end 13 of the circuit element block 11, the input electrode 15 of the power output, element 10, and the other end 14 of the surge protection element, 9 as being not connected to each other. A fourth electrode wiring 18 is formed on the electrode wirings 13, 14, and 15 so as to connect them to each other. A semiconductor device of this design is so constituted as to enable the characteristics of the power output element 10 to be previously evaluated by the use of the second electrode 15 before the fourth electrode wiring 18 is formed.



(19)日本特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-151736

(43)公開日 平成6年(1994)5月31日

(51)Int. Cl. <sup>3</sup> H 0 1 L 27/088	識別記号 9170-4M	庁内整理番号 F I H 0 1 L 27/ 08	技術表示箇所 1 0 2 C
---	-----------------	---------------------------------	-------------------

審査請求 未請求 請求項の数7(全 10 頁)

(21)出願番号 特願平4-322305

(22)出願日 平成4年(1992)11月9日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 石丸 一成

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

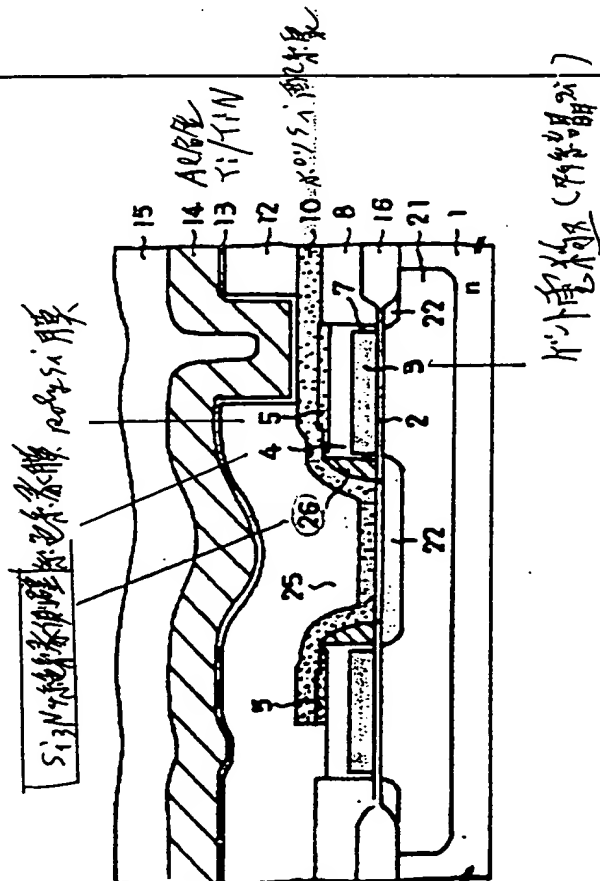
(74)代理人 弁理士 竹村 壽

(54)【発明の名称】 半導体集積回路装置及びその製造方法

(57)【要約】

【目的】 安定した特性を有するゲート電極を提供するとともに、ゲート電極を覆う絶縁膜をコンタクトの開孔時に減少されることなくゲートセルフアラインコンタクト (SAC) を形成する。

【構成】 半導体基板1に形成されたポリシリコンからなる配線10のゲート電極3の上に形成される部分には、ポリシリコン膜5が形成されているので、配線10は、この部分で厚くなっている。したがって、配線に注入される不純物がゲート電極へドーパされるのが防止される。また、ポリシリコンゲートを有する半導体基板1にゲートSACを形成する際にゲート電極3上に形成した絶縁膜4の上にポリシリコン膜5を形成して、この絶縁膜4がオーバーエッチングされるのを防止する。



## 【特許請求の範囲】

## 【請求項1】 半導体基板と、

前記半導体基板上に形成されたゲート酸化膜と、  
前記ゲート酸化膜の上に形成された少なくとも多結晶シリコン膜又はアモルファスシリコン膜を含むゲート電極と、

前記ゲート電極上に形成された第1の絶縁膜と、  
前記第1の絶縁膜上に形成された多結晶シリコン膜又はアモルファスシリコン膜と、

前記第1の絶縁膜上に形成された多結晶シリコン膜又はアモルファスシリコン膜の表面が露出するように前記半導体基板上に形成され、その厚みが前記ゲート電極と前記第1の絶縁膜と前記第1の絶縁膜上に形成された多結晶シリコン膜又はアモルファスシリコン膜の厚みの合計とほぼ等しく、かつ、表面が平坦化された第2の絶縁膜と、

前記第2の絶縁膜に形成され、その側壁の一部が、前記ゲート電極、前記第1の絶縁膜及びこの絶縁膜上の前記多結晶シリコン膜又はアモルファスシリコン膜からなる積層体の側壁の一部であるコンタクト孔と、

少なくとも多結晶シリコン膜又はアモルファスシリコン膜を有し、この多結晶シリコン膜又はアモルファスシリコン膜が前記第1の絶縁膜上の前記多結晶シリコン膜又はアモルファスシリコン膜に接し、かつ、前記第2の絶縁膜上及び前記コンタクト孔内に配置された配線とを備えていることを特徴とする半導体集積回路装置。

【請求項2】 前記ゲート電極、前記第1の絶縁膜及びこの絶縁膜上の前記多結晶シリコン膜又はアモルファスシリコン膜からなる前記積層体は少なくとも2つ形成され、前記コンタクト孔は、前記積層体の間に形成されたことを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記コンタクト孔内の前記積層体には絶縁側壁が形成されていることを特徴とする請求項1又は請求項2に記載の半導体集積回路装置。

【請求項4】 前記ゲート電極の前記多結晶シリコン膜又はアモルファスシリコン膜及び前記配線の前記多結晶シリコン膜又はアモルファスシリコン膜には不純物がイオン注入されていることを特徴とする請求項1乃至請求項3のいずれかに記載の半導体集積回路装置。

【請求項5】 半導体基板上にゲート酸化膜を形成する工程と、

前記ゲート酸化膜上に第1の導電膜を形成する工程と、  
前記第1の導電膜上に第1の絶縁膜を形成する工程と、  
前記第1の絶縁膜上に第2の導電膜を形成する工程と、  
前記第2の導電膜、前記第1の絶縁膜及び前記第1の導電膜をエッチングして前記第1の絶縁膜及び前記第2の導電膜に被覆された第1の導電膜のゲート電極を形成する工程と、

前記前記第2の導電膜を被覆するように前記半導体基板

上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜の表面を前記第2の導電膜が露出するまで除去してその表面を平坦化する工程と、

前記第2の絶縁膜の除去されなかった部分の所定の領域を、一部を前記ゲート電極をマスクとしてエッチングし、自己整合的にコンタクト孔を形成して前記半導体基板表面を露出させる工程と、

前記第2の導電膜上、前記第2の絶縁膜上及び前記コンタクト孔内に前記半導体基板に接する配線を形成する工程を備えていることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 前記ゲート電極、前記第1の絶縁膜及び第2の導電膜からなる積層体の側面に絶縁側壁を形成する事を特徴とする請求項5に記載の半導体集積回路装置の製造方法。

【請求項7】 前記第2の絶縁膜の除去されなかった部分の所定の領域を、前記ゲート電極をマスクとしてエッチングし、自己整合的にコンタクト孔を形成して前記半導体基板表面を露出させる工程において、前記第2の絶縁膜を前記コンタクト孔の側面に残して絶縁側壁を形成することを特徴とする請求項5に記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、MOS型構造の半導体装置に係り、特にゲート上に形成された微細化された配線構造を有する半導体集積回路装置の構造及び製造方法に関するものである。

【0002】

【従来の技術】ICやLSIなどの半導体装置の高集積化は著しく、高度な微細化技術が必要になっている。とくにメモリなどに多用されるMOS型構造の半導体集積回路装置は、1つのウェルに複数のゲート電極が併置されておりその間は、微細化によって益々狭くなってきている。そのために、半導体基板内の活性領域に接続され外部の半導体基板上を介して他の領域に接続する配線は、ゲート電極間にコンタクト孔を設ける、いわゆる、ゲートセルフアラインコンタクト（ゲートSAC）を利用している。従来、このゲートセルフアラインコンタクトを形成する場合は下地の半導体基板とコンタクトをとる配線が、MOSトランジスタのゲート電極とショートしないようにゲート電極の上部及び側部を半導体基板上に形成されている層間絶縁膜よりもエッチング速度の遅い絶縁膜で覆い、コンタクトを開孔してもゲート電極と配線の間には、十分な厚さの絶縁膜が残るようにしていた。

【0003】しかし、この方法では、コンタクトのオーバーエッチング時間を長くしていくとゲート電極の上部及び側部の絶縁膜は減少していくので、プロセスマージンはあまり無い。これを改善し、絶縁膜がより確実に残

る方法として、ゲート電極を絶縁膜で覆った後、全面に絶縁膜と多結晶シリコン膜を堆積し、その上に平坦化のための絶縁膜を堆積してメルトした後、多結晶シリコン膜上の絶縁膜を多結晶シリコンと選択比のとれるエッチング方法で除去し、続いてこの多結晶シリコン膜を除去する方法がある。こうすることで、ゲート電極を覆っている絶縁膜が、エッチングされることなく、半導体基板とのコンタクトを形成する部分の層間絶縁膜厚をゲート電極を覆っている絶縁膜よりかなり薄くすることができるので、ある程度オーバーエッチングしてもゲート電極の周囲には十分な厚さの絶縁膜を残すことができる。

【0004】図17乃至図19は、上記従来方法によるメモリなどに用いる半導体集積回路装置の製造工程断面図を示したものである。例えば、LOCOS法などでN型シリコン半導体基板1に素子分離領域16を形成した後、Pウエル領域21を形成する。次いで、例えば、熱酸化などによる $\text{SiO}_2$ のゲート酸化膜2を半導体基板1全面に形成する。ゲート酸化膜2の上に多結晶シリコンなどのゲート電極3が1対形成される。ゲート電極の多結晶の上にMoやWなどの高融点金属のシリサイド膜を堆積させてゲート電極の低抵抗化を図ることも行われている。この従来例ではゲート電極3は、図17に示すように多結晶シリコン膜31の上に $\text{WSi}$ 膜32が形成されている。ゲート電極3の多結晶シリコンには、B又はPを高濃度に拡散し抵抗を下げる。このゲート電極3は、 $\text{SiO}_2$ などの絶縁膜4によって被覆されている。次ぎに、例えば、イオン注入によってN型不純物を半導体基板1のウエル領域21に注入してゲート電極3が形成されている半導体基板1の領域の両脇にN型ソース/ドレイン領域22を形成する。

【0005】そして、ゲート電極3及びこれを被覆する絶縁膜4を被覆するように、例えば $\text{Si}_3\text{N}_4$ のような絶縁膜23が半導体基板1表面を被覆し、さらに、この上に多結晶シリコン膜24を堆積させる。次にこの多結晶シリコン膜24の上に膜厚のBPSG (Borosilicate Glass) 膜8を形成する。次ぎに、BPSG膜8の表面は、メルトされて平坦化される。そして、平行に形成されているゲート間の所定の領域を除いてフォトリソグラフ9を施し、BPSG膜8が露出している部分をRIEなどの異方性エッチングによって開口しコンタクト孔25を形成する。このコンタクト孔25は、ゲート電極3の上にもかかるように比較的広く開口する。このエッチング速度は、多結晶シリコン24より表面が平坦化されたBPSGからなる絶縁膜8の方が20倍程度速いので、BPSG膜8にコンタクト孔25を形成したときにBPSG膜8がほぼ完全に開口されても、BPSG膜8の下が多結晶シリコン膜24は、殆どエッチングされずに残る(図17)。

【0006】次ぎに、コンタクト孔25内の多結晶シリコン膜24は、エッチング除去し、絶縁膜23を露出さ

せる。次ぎに、ゲート電極3、その上の絶縁膜4及び絶縁膜23を被覆する多結晶シリコン24を大体800～850℃程度の高温で加熱酸化処理して、多結晶シリコン膜24をシリコン酸化物に変えてBPSG膜8の一部にする(図18)。次ぎに、RIEなどの異方性エッチングなどにより、コンタクト孔25内の絶縁膜23及びゲート酸化膜2をエッチング除去し、半導体基板1の表面を露出させると共に、絶縁膜23からコンタクト孔25内においてゲート電極の絶縁側壁26を形成する。その時、ゲート電極3を被覆する絶縁膜4は、エッチングにより少し削られている。次いで、半導体基板1のソース/ドレイン領域22に接続される配線10がコンタクト孔25及び平坦化されたBPSG膜8の上に形成する(図19)。配線10は、例えば、多結晶シリコン膜からなり、その上に $\text{WSi}$ のような高融点金属のシリサイド膜を形成して複合膜にすることもできる。多結晶シリコン膜には、イオン注入などにより、B又はPを高濃度に拡散しその抵抗を低くしている。

【0007】

【発明が解決しようとする課題】この様に、従来のMOS型半導体装置においては、ゲート電極を構成する多結晶シリコン膜やゲートSACに形成された配線の多結晶シリコン膜にはBやPなどの不純物を高濃度に拡散してその抵抗を下けているが、この配線の多結晶シリコン膜に不純物を拡散するには、イオン注入法を用いている。この配線がゲート電極4上に配置している場合には、イオンが配線を通してその下のゲート電極に入り過剰な不純物が不必要に増加したり、あるいは、ゲート電極に入る不純物の導電型が元からゲート電極に存在する不純物の導電型と異なると実質的に不純物が減少したことになり、安定したゲート特性が得られなくなる。また、前述の第1の従来方法では、ゲート電極を覆う絶縁膜とその上に堆積された層間絶縁膜とのエッチング選択比が十分取れないために、コンタクト開孔時のオーバーエッチング時間が長くなると、ゲート電極を覆う絶縁膜が薄くなり、最悪の場合無くなってしまうので、コンタクトをとる配線とゲート電極とがショートしてしまう。このショートを防止するために、前述の第2の従来方法では、多結晶シリコン膜を用いるためにオーバーエッチングに対するマージンは、向上するが、多結晶シリコン膜が導電性のために、何らかの方法で絶縁膜であるシリコン酸化膜に変化させる必要がある。

【0008】この酸化処理が不十分であるとコンタクト孔の開孔時にこの多結晶シリコン膜でエッチングがストップしてしまい、下地の半導体基板とコンタクトが取れなかったり、コンタクトが取れてもこの多結晶シリコン膜を通して他のコンタクトと短絡してしまう恐れがある。さらに、多結晶シリコン膜を酸化するには、通常高温の酸化性雰囲気中である時間熱処理を行う必要があるが、素子の微細化によりプロセスの低温化が進むと、こ

の多結晶シリコン膜を完全に酸化するのは難しくなり、ゲートセルフアラインコンタクトを形成するのが困難になる。本発明は、このような事情によって成されたものであり、安定したゲート電極を提供すると共に、ゲート電極を覆う絶縁膜をコンタクトの開孔時に減少されることなくゲートSACを形成する方法を提供する。

#### 【0009】

【課題を解決するための手段】本発明は、半導体基板上に設けられる多結晶又はアモルファスシリコン膜を有する配線のゲート電極の上に配置される部分は、この配線の他の部分より厚くし、少なくとも多結晶又はアモルファスシリコン膜を有するゲート電極を備えた半導体基板にゲートSACを形成する際に前記ゲート電極上に形成した絶縁膜の上に多結晶又はアモルファスシリコン膜を形成することを特徴としている。

【0010】即ち、本発明の半導体集積回路装置は、半導体基板と、前記半導体基板上に形成されたゲート酸化膜と、前記ゲート酸化膜の上に形成された少なくとも多結晶シリコン膜又はアモルファスシリコン膜を含むゲート電極と、前記ゲート電極上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された多結晶シリコン膜又はアモルファスシリコン膜と、前記第1の絶縁膜上に形成された多結晶シリコン膜又はアモルファスシリコン膜の表面が露出するように前記半導体基板上に形成され、かつ、表面が平坦化された第2の絶縁膜と、前記第2の絶縁膜に形成され、その側壁の一部が、前記ゲート電極、前記第1の絶縁膜及びこの絶縁膜上の前記多結晶シリコン膜又はアモルファスシリコン膜からなる積層体の側壁の一部であるコンタクト孔と、少なくとも多結晶シリコン膜又はアモルファスシリコン膜を有し、この多結晶シリコン膜又はアモルファスシリコン膜が前記第1の絶縁膜上の前記多結晶シリコン膜又はアモルファスシリコン膜に接し、かつ、前記第2の絶縁膜上及び前記コンタクト孔内に配置された配線とを備えていることを特徴としている。前記ゲート電極、前記第1の絶縁膜及びこの絶縁膜上の前記多結晶シリコン膜又はアモルファスシリコン膜からなる前記積層体は少なくとも2つ形成され、前記コンタクト孔は、前記積層体の間に形成されることが可能である。前記コンタクト孔内の前記積層体には絶縁側壁を形成することができる。前記ゲート電極の前記多結晶シリコン膜又はアモルファスシリコン膜及び前記配線の前記多結晶シリコン膜又はアモルファスシリコン膜には不純物をイオン注入させることができる。

【0011】また、本発明の半導体集積回路装置の製造方法は、半導体基板上にゲート酸化膜を形成する工程と、前記ゲート酸化膜上に第1の導電膜を形成する工程と、前記第1の導電膜上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第2の導電膜を形成する工程と、前記第2の導電膜、前記第1の絶縁膜及び前記第1の導電膜をエッチングして前記第1の絶縁膜及び前記第

2の導電膜に被覆された第1の導電膜のゲート電極を形成する工程と、前記第2の導電膜を被覆するように前記半導体基板上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の表面を前記第2の導電膜が露出するまで除去してその表面を平坦化する工程と、前記第2の絶縁膜の除去されなかった部分の所定の領域を、一部を前記ゲート電極をマスクとしてエッチングし、自己整合的にコンタクト孔を形成して前記半導体基板表面を露出させる工程と、前記第2の導電膜上、前記第2の絶縁膜上及び前記コンタクト孔内に前記半導体基板に接する配線を形成する工程を備えていることを特徴としている。前記ゲート電極、前記第1の絶縁膜及び第2の導電膜からなる積層体の側面に絶縁側壁を形成する事ができる。前記第2の絶縁膜の除去されなかった部分の所定の領域を、前記ゲート電極をマスクとしてエッチングし、自己整合的にコンタクト孔を形成して前記半導体基板表面を露出させる工程において、前記第2の絶縁膜を前記コンタクト孔の側面に残して絶縁側壁を形成することができる。

#### 【0012】

【作用】配線のゲート電極上にある部分を他の部分より厚くすることによって配線に注入される不純物のゲート電極へのドーブが防止される。また、前記多結晶またはアモルファスシリコン膜は、ゲートSACを形成されるときにゲート電極上の絶縁膜がオーバーエッチングされるのを防止するストップとして用いられる。

#### 【0013】

【実施例】以下、図面を参照して本発明の実施例を説明する。まず、図1を参照して第1の実施例を説明する。図は、本発明に係るSRAMメモリのPウエル内に形成された素子の断面図である。半導体装置の高集積化に伴って、例えば、このようなメモリに用いるMOSトランジスタのゲート間は短くなる一方であり、半導体基板の内部回路と半導体基板上に形成されている配線とを電気接続するために形成されるゲート間の絶縁膜のコンタクト孔は、この実施例のようにゲートSACを用いるのが一般的になっている。N型シリコン半導体基板1には、例えば、LOCOS法による素子分離領域16が形成されており、その領域内には、Pウエル21が形成されている。Pウエル内には、MOSトランジスタのN型のソース/ドレイン領域22が形成されている。半導体基板1表面には、ゲート酸化膜2が後述するコンタクト孔25内のコンタクト部を除いて形成されている。ゲート酸化膜2の上には、多結晶シリコンのゲート電極3を形成する。この多結晶シリコン中にはB又はPなどの不純物がイオン注入されていてその抵抗を低くしている。その不純物濃度は、特性によって調整されており、ゲート電極が形成されたときに拡散される。

【0014】このゲート電極3の上に、例えば、SiO<sub>2</sub>などの絶縁膜4を形成する。この上にさらに500〜3000オングストローム厚程度の多結晶シリコン膜5

が形成されている。このゲート電極3、絶縁膜4及び多結晶シリコン膜5の積層体が形成されている部分及びコンタクト孔25以外は、エッチバックして平坦化されているBPSG膜8が形成されている。その厚さは、この積層体とほぼ同じである。この積層体は、その表面をSiO<sub>2</sub>などの絶縁膜7で被覆されている。そして、このBPSG膜8のコンタクト孔25が2つのゲート電極間に形成されている。コンタクト孔25の内側面には絶縁側壁26が形成されている。このソース/ドレイン領域22に接続するように多結晶シリコンからなる配線10をゲート電極3上の多結晶シリコン膜5、BPSG膜8及びコンタクト孔25内に形成する。配線10の多結晶シリコンにはPをイオン注入などでドーピングしてその抵抗を小さくする。この配線10や絶縁膜8を被覆するようにBPSG膜などからなる層間絶縁膜12を形成する。

【0015】この層間絶縁膜12には、コンタクト孔を形成して多結晶シリコン膜10を露出させ、このコンタクト孔と層間絶縁膜12上に金属配線14を形成して多結晶シリコン膜10と電気接続させる。金属配線14は、SiやCuを含むアルミ合金からなり、バリアメタルとして一般にTi/TiNなどの積層下地金属配線膜13を金属配線14と配線10との間に形成する。この金属配線14を被覆するようにPSG (Phosphosilicate Glass) などからなる絶縁保護 (パッシベーション) 膜15を形成する。この様にゲート電極3の上に形成されている絶縁膜4の上の多結晶シリコン膜5は、その表面が一部製造工程中のエッチング処理によって薄くなっているが、500~3000オングストローム程度の厚さがある。そして、多結晶シリコン膜5とその上の多結晶シリコンの配線10は、同じ材料で出来ているので、実質的に、この配線10は、ゲート電極3において500~3000オングストローム程度膜厚になっていることになる。したがって、配線10の多結晶シリコン膜に不純物をドーピングする場合でもその不純物がゲート電極3にまで到達しないので、不純物の混入によるMOSトランジスタのしきい値電圧が変化するなどトランジスタ特性を変えることはない。また、ゲート電極3の不純物と配線10の不純物の導電型が同じであっても互いに異なっている場合でも相互に影響を受けることはない。そのために配線10の不純物の導電型は、ゲート電極3にドーピングされている不純物の導電型を考慮すること無く、任意に決定できる。

【0016】次に、図2乃至図9を参照してこの実施例の半導体集積回路装置の製造方法を説明する。これら図は、半導体装置の製造工程断面図である。例えば、1~10Ωcmの抵抗率のN型シリコン半導体基板1に素子分離領域16を形成した後、フォトリソグラフィとイオン注入法を用いて、例えば、 $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-2}$ 程度の不純物濃度のPウェル領域21を形成する。この素子分離領域はLOCOS法により形成してもよい

し、半導体基板1にトレンチを形成しその中に絶縁物を埋め込む素子分離法により形成しても良い。またPウェルの形成は、素子分離領域の形成前に行っても良い。続いて、例えば、50~200Åの厚さのゲート酸化膜2を形成し、フォトリソグラフィとイオン注入法を用いてMOSトランジスタのしきい値電圧を合わせるのに必要なチャネルイオンを注入した後、ゲート電極となる多結晶シリコン膜3を例えば1000~4000オングストローム程度堆積する。続いて、この多結晶シリコン膜3中にフォトリソグラフィとイオン注入法またはリン雰囲気中でのアニール処理により $1 \times 10^{14}$ から $5 \times 10^{17} \text{ cm}^{-2}$ 程度の濃度になるように不純物をドーピングする。

【0017】本実施例ではゲート電極3は多結晶シリコン膜であるが、上にモリブデンやタングステンやチタンなどの高融点金属のシリサイド膜を堆積させて低抵抗化をはかっても良い。引き続き酸素や窒素を含む絶縁膜4を例えば500~3000オングストローム程度堆積し、続いて、多結晶シリコン膜5を例えば500~3000オングストローム程度堆積する。これらの膜の堆積は、常圧やLPなどのCVD法を用いても良いし、スパッタリング法を用いても良い(図2)。次に多結晶シリコン膜5の上にフォトレジスト6を形成し、これをパターンニングする。そして、フォトリソグラフィと異方性エッチングを用いて、多結晶シリコン膜5、次に絶縁膜4、最後に多結晶シリコン膜3をエッチングしてゲート電極を形成する(図3)。その後、フォトレジスト6を剥離し、必要により、例えば、800~900℃の酸素雰囲気中で10~60分程度熱処理を行って、ゲート電極3、絶縁膜4及び多結晶シリコン膜5表面を絶縁膜7で被覆する。続いて、MOSトランジスタのソース/ドレイン領域の形成のために、フォトリソグラフィとイオン注入法を用いて、例えば、Asを30~80KeVの加速電圧、ドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ 程度でイオン注入する。

【0018】図には示していないが、このイオン注入の前後に絶縁膜を、例えば、500~2000オングストローム程度堆積し、全面をRIEなどの異方性エッチングによりエッチングし、ゲート電極の側部にこの絶縁膜からなる側壁を形成しても良い。続いて、不純物活性化のためのアニールを、例えば、800~900℃で10~30分程度窒素雰囲気中で行ってソース/ドレイン領域22を半導体基板1表面領域に形成後、絶縁膜8を3000~12000オングストローム程度堆積する。このときは、ステップカバレッジの良いLPCVD法を用いると良い。このときの絶縁膜は、シリコン酸化膜や窒化膜でも良いし、BやPなどの不純物を $1 \times 10^{14} \sim 5 \times 10^{17} \text{ cm}^{-2}$ 程度含むシリコン酸化膜でも良いし、それらを組み合わせた多層膜でも良い(図4)。

【0019】次に、堆積した絶縁膜8に対してはエッチ

ング速度が速く、多結晶シリコン膜5に対してはエッチング速度が遅いエッチング方法を用いて、多結晶シリコン膜5が露出するまで絶縁膜8をエッチバックする。このエッチバックは、RIE (Reactive Ion Etching) と呼ばれるプラズマガスを用いた方法でも良いし、ポリッシュと呼ばれる研磨剤を用いた機械的科学的研磨方法によりエッチングしても良い。いずれにしても多結晶シリコン膜5をエッチングストップとしてエッチングし、平坦化を行う(図5)。例えば、RIEを用いてエッチングを行う場合、多結晶シリコンに対するエッチング速度は遅く、多結晶シリコンに対するエッチング速度を1とした場合に、BPSG、 $\text{Si}_3\text{N}_4$ 、 $\text{CVDSiO}_2$ などは、大体10~20の速度でエッチングされる。

【0020】続いて、フォトリソグラフィにより2つのゲート電極間にコンタクト孔をパターンニングしてフォトレジスト9を形成する。このとき、ゲートSACであるから当然コンタクト孔はゲート電極3上にかかる形となる。次に、多結晶シリコン膜5に対してはエッチング速度が遅いエッチング法により、コンタクト孔25を開孔する。このとき多結晶シリコン膜5は殆どエッチングされていないためゲート電極3の側部には絶縁膜8により側壁26が自動的に形成される。この自動的に形成される側壁26により、ゲート電極3とコンタクト開孔後に堆積する多結晶シリコン膜が電氣的に絶縁される。この電氣的絶縁は、ゲートSACを実現する上で重要であるが、特に絶縁のために側壁を形成する工程を設けなくても、コンタクト開孔時に自動的に設けられるので工程数の削減にもつながる(図6)。次に、フォトレジスト9を剥離した後、多結晶シリコン膜10を堆積する。続いて、フォトリソグラフィとイオン注入法を用いて多結晶シリコン膜10に、例えば、Pを30~60 KeV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 程度でイオン注入する。フォトレジスト9を剥離させた後、モリブデンやタングステンやチタンなどの高融点金属のシリサイド膜を堆積させて低抵抗化をはかることもできる(図7)。

【0021】次に、フォトリソグラフィと異方性エッチングを用いて、フォトレジスト11を形成して堆積した多結晶シリコン膜10をパターンニングする。このときエッチングストップとして用いた多結晶シリコン膜5は、多結晶シリコン膜10の下にある部分以外は除去される。従来は、高温の酸素雰囲気中で酸化することにより、多結晶シリコン膜5を絶縁膜であるシリコン酸化膜に酸化していたが、本発明ではそのようにストップ層を除去するような工程は必要なく、熱処理時間も短くなるためにMOSトランジスタを作成するために有利である。特に、多結晶シリコンのエッチングストップ5を除去する必要があることが半導体装置の製造を有利にしている。フォトレジスト11を剥離してから、例えば、800~900℃で10~30分程度酸素或いは酸素雰囲気

中で熱処理を行う(図8)。その後、層間絶縁膜12を半導体基板1上に堆積し、配線となる多結晶シリコン膜10を被覆する。この層間絶縁膜12は、シリコン酸化膜や窒化膜でも良いし、BやPなどの不純物を $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 程度含むシリコン酸化膜でも良く、また、これらを組合わせた多層膜でもよい(図9)。

【0022】次に、フォトリソグラフィと異方性エッチングを用いて、層間絶縁膜12にコンタクトを開孔し、例えば、TiやTiNなどの下地金属配線膜13及びその上のAl-Si-Cu合金などからなる金属配線膜14を層間絶縁膜12上及びコンタクト内の配線10の上にスパッタリングにより堆積刷る。これをフォトリソグラフィと異方性エッチングでパターンニングし、300~500℃程度の水素を含む不活性ガス雰囲気中で、例えば、10~60分程度の熱処理を行い、その後塩化ガラスやシリコン窒化膜やこれらの多層膜などからなる絶縁保護(パッシベーション)膜15を堆積させる。以上、NMOS集積回路に用いた例を説明したが、不純物の導電型を逆にしてPMOS集積回路に適用する事も、両者を有するCMOS集積回路や他のMOSトランジスタを有するすべての集積回路に適用可能である。

【0023】次に、図10乃至図16を参照して第2の実施例について説明する。前の実施例は、1素子領域内に形成された2つのMOSトランジスタのゲート電極間のゲートSACに形成された配線構造に係るものであるが、ここでは、CMOS構造の集積回路に形成されたゲートSAC内の配線構造に関する。半導体装置の微細化に伴い半導体集積回路が形成される半導体基板内の素子が形成されるウエル領域も当然狭くなり、そのウエル内の素子とコンタクトを介して電気接続する配線も非常に小さな領域に形成しなくてはならないので、ゲートSACを利用することは必要である。半導体基板には、例えば、抵抗率が $1 \sim 10 \Omega \text{ cm}$ 程度のN型シリコン半導体基板1を用い、この半導体基板1に、例えば、埋込み構造の素子分離領域16を形成してからフォトリソグラフィとイオン注入法を用いてPウエル領域21を形成する。そして、半導体基板1上には、熱酸化などにより、5

0~2000オングストローム厚程度のゲート酸化膜2を形成する。次に、2000オングストローム厚程度の多結晶シリコン膜31をゲート酸化膜2上に堆積する。この多結晶シリコン膜31には、Pなどの不純物をイオン注入し拡散する。多結晶シリコンに代えてアモルファスシリコンを用いることができる。多結晶シリコン膜31の上に次は、1000オングストローム厚程度の $\text{WSi}$ 膜32を堆積させ、その上に2000オングストローム厚程度の $\text{SiO}_2$ の絶縁膜4を形成し、さらにその上に1000オングストローム厚程度の多結晶シリコン膜5を堆積させる(図10)。

【0024】この場合も多結晶シリコンに代えてアモル



ファスシリコンを用いることができる。これらの膜の形成には、CVDやスパッタリングなどを利用する。次に、これらの積層膜をフォトリソグラフィと異方性エッチングによりパターンニングしてPウエル21上及び半導体基板1上に多結晶シリコン膜31及びWSi<sub>2</sub>膜32から構成されるゲート電極3及びその上のSiO<sub>2</sub>膜4とストッパとなる多結晶シリコン膜5を形成する。続いて、半導体基板1表面に形成されているゲート電極3、絶縁膜4及び多結晶シリコン膜5の積層体を被覆するように窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)膜を形成する。そして、この窒化シリコン膜をRIEなどの異方性エッチングによりエッチング処理を行ってこの積層体に窒化シリコンからなる絶縁側壁26を施す(図11)。次いで、MOSトランジスタのソース/ドレイン領域を形成する。Pウエル21には、Asなどをイオン注入してN型ソース/ドレイン領域22を形成し、半導体基板1には、Bをイオン注入してP型ソース/ドレイン領域22を形成する。続いて、これら積層体を含めて半導体基板表面をSiO<sub>2</sub>絶縁膜7で被覆し、その上にBPSG膜8を膜厚に形成する(図12)。

【0025】次に、堆積したBPSG膜8に対してはエッチング速度が速く、多結晶シリコン膜5に対してはエッチング速度の遅いRIEなどのエッチング方法により、多結晶シリコン膜5が露出するまでBPSG膜8をエッチバックし、BPSG膜8の表面を平坦化する。この時、多結晶シリコン膜5は、エッチングストッパとして利用される(図13)。次に、平坦化されたBPSG膜8上にパターンニングされたフォトレジスト9を形成し、RIEなどの異方性エッチングを用いてコンタクト孔25を形成する。このコンタクト孔25は、Pウエル21のゲート電極に近接したゲートSACであり、このゲート電極上にかかる形となる。やはり多結晶シリコン膜5は、殆どエッチングされないので、前記絶縁側壁26は、コンタクト孔25内の絶縁側壁26として残る(図14)。

【0026】次に、多結晶シリコン膜101を平坦化されたBPSG膜8及びコンタクト孔25内等に堆積させて、ソース/ドレイン領域22と多結晶シリコン膜101を接続する。この多結晶シリコン膜101には、Pなど不純物をイオン注入してその抵抗値を調整する。そして、多結晶シリコン101の上にWSi<sub>2</sub>膜102を堆積し、この多結晶シリコン膜101とWSi<sub>2</sub>膜102とで配線10を形成する(図15)。次に、配線10を被覆するようにCVD SiO<sub>2</sub>の層間絶縁膜12を半導体基板1上に形成し、ここにもコンタクト孔を設ける。そして、例えば、TiNの下地金属配線膜13とその上にAl-Si-Cu合金の金属配線14を形成し、これらと金属配線10とを電気的に接続する。そして、金属配線14をPSGなどのパッシベーション膜15で保護する(図16)。

【0027】この様に、この実施例においても、多結晶シリコン膜5は、ゲート電極3の上に配置される多結晶シリコン膜101を含む配線10のゲート電極上の部分の厚さを大きくすると共に、コンタクト孔を形成する際のエッチングに対するエッチングストッパとして大きな効果を有する。

【0028】

【発明の効果】以上のように、本発明においては、ゲート電極に並置される不純物濃度を正確に調整することができると共に、狭いゲート電極間にコンタクトを形成するゲートSACが従来に比較して少ない工程で、しかも、ゲートSAC形成のための熱工程をとくに必要としない。また、絶縁膜を介してゲート電極上に形成される配線はその下地の絶縁膜が平坦化されているので、フォトリソグラフィやエッチングに対するプロセスマージンが広がる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置の断面図。

【図2】第1の実施例の半導体装置の製造工程断面図。

【図3】第1の実施例の半導体装置の製造工程断面図。

【図4】第1の実施例の半導体装置の製造工程断面図。

【図5】第1の実施例の半導体装置の製造工程断面図。

【図6】第1の実施例の半導体装置の製造工程断面図。

【図7】第1の実施例の半導体装置の製造工程断面図。

【図8】第1の実施例の半導体装置の製造工程断面図。

【図9】第1の実施例の半導体装置の製造工程断面図。

【図10】第2の実施例の半導体装置の製造工程断面図。

【図11】第2の実施例の半導体装置の製造工程断面図。

【図12】第2の実施例の半導体装置の製造工程断面図。

【図13】第2の実施例の半導体装置の製造工程断面図。

【図14】第2の実施例の半導体装置の製造工程断面図。

【図15】第2の実施例の半導体装置の製造工程断面図。

【図16】第2の実施例の半導体装置の断面図。

【図17】従来の半導体装置の製造工程断面図。

【図18】従来の半導体装置の製造工程断面図。

【図19】従来の半導体装置の製造工程断面図。

【符号の説明】

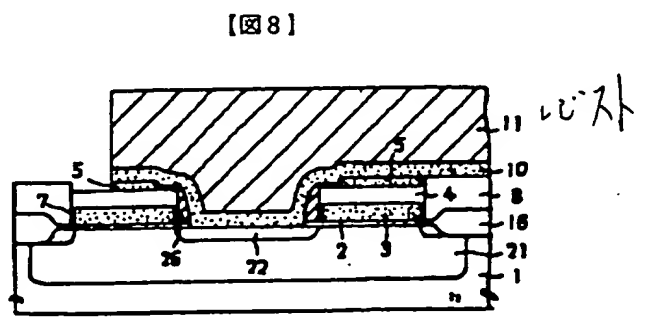
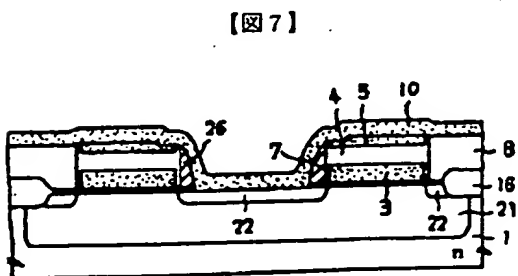
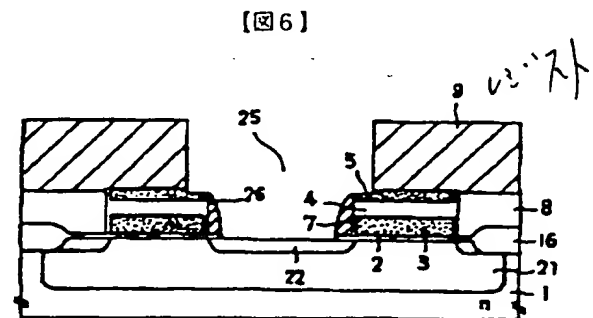
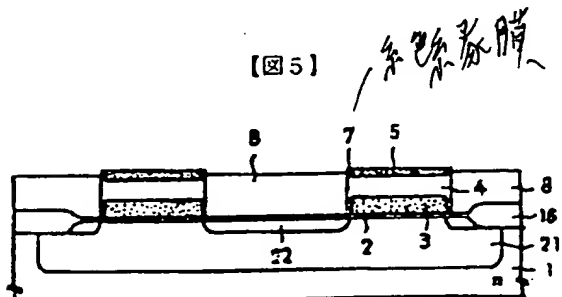
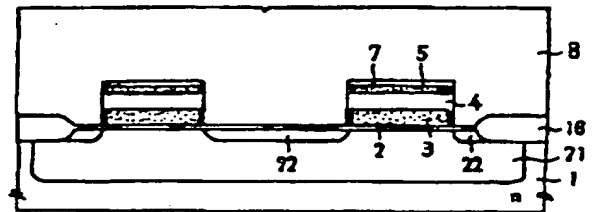
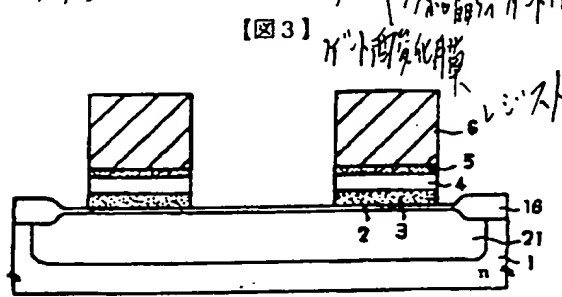
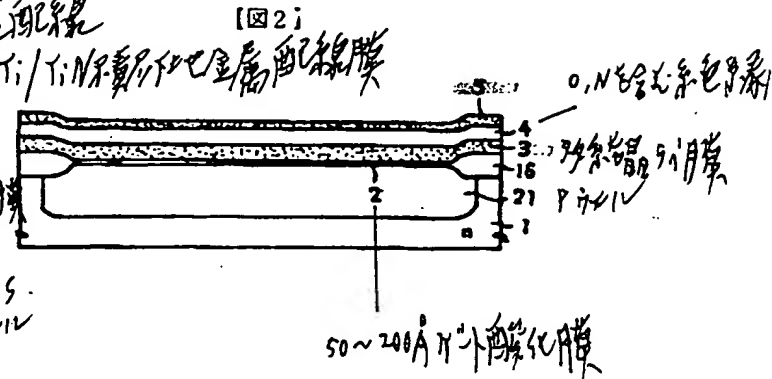
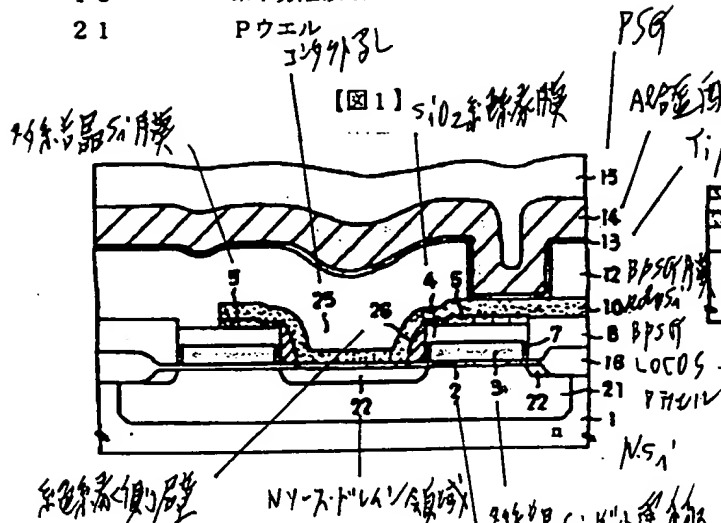
1	シリコン半導体基板
2	ゲート酸化膜
3	ゲート電極
4、7、8、23	絶縁膜
5、24、31、101	多結晶シリコン膜
6、9、11	フォトレジスト
10	配線

13

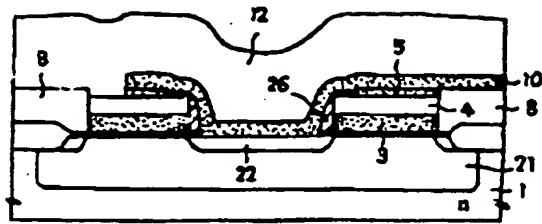
14

- 12 層間絶縁膜
- 13 下地金属配線膜
- 14 金属配線
- 15 絶縁保護膜 (パッシベーション膜)
- 16 素子分離領域
- 21 Pウェル

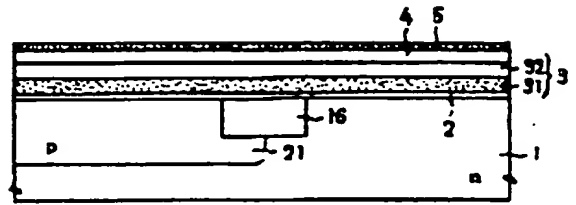
- 22 N型ソース/ドレイン領域
- 25 コンタクト孔
- 26 絶縁側壁
- 32、102 WSi<sub>2</sub>膜
- 221 P型ソース/ドレイン領域



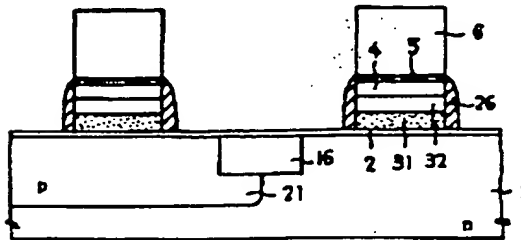
【図9】



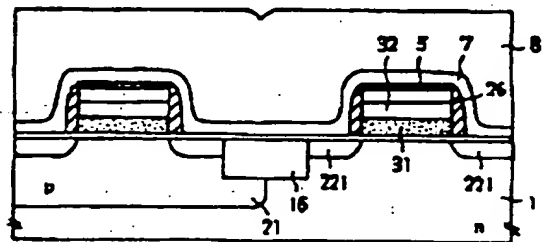
【図10】



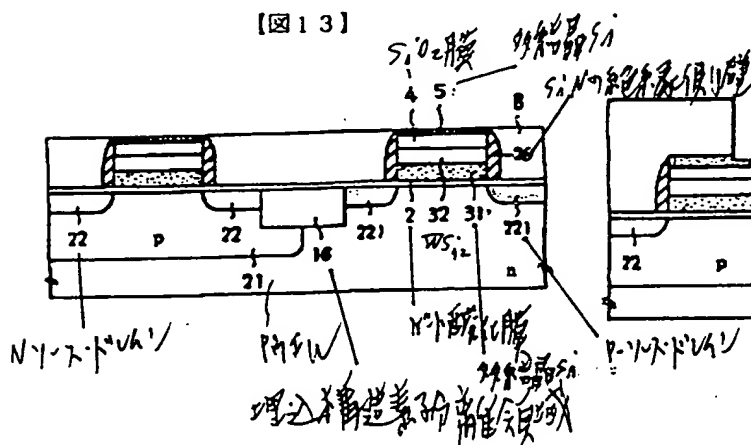
【図11】



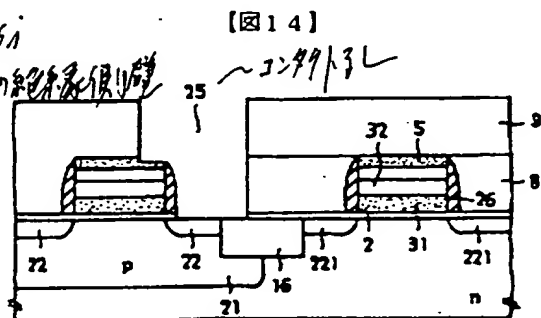
【図12】



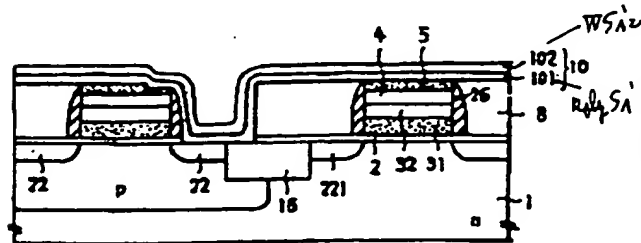
【図13】



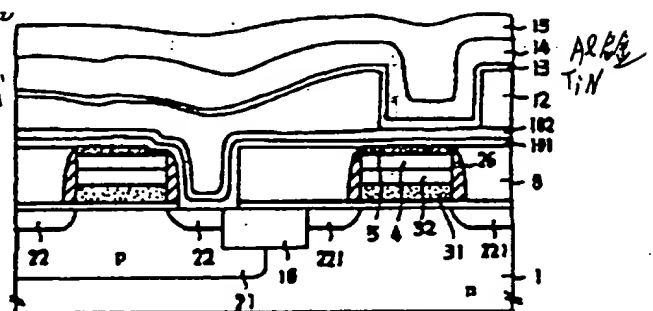
【図14】



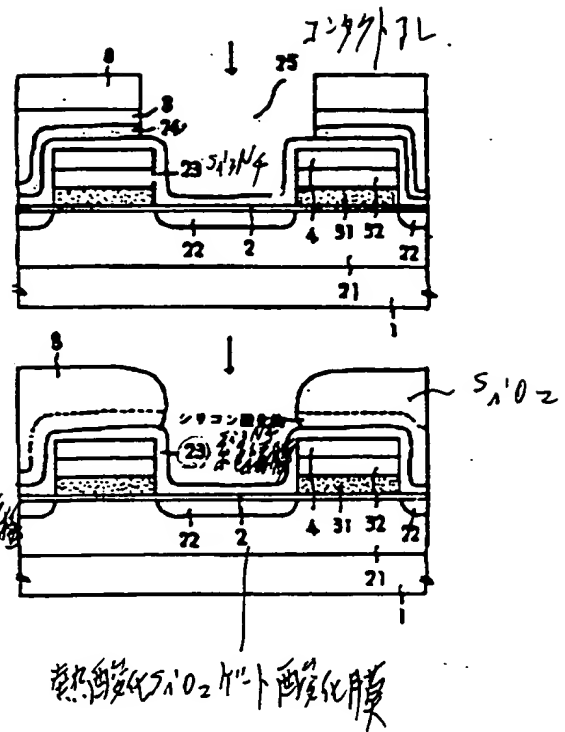
【図15】



【図16】



【圖 18】



【例 19】

